

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-012929

(43)Date of publication of application : 17.01.1990

(51)Int.Cl.

H01L 21/338

H01L 27/04

H01L 27/088

H01L 29/784

H01L 29/812

H03F 3/45

(21)Application number : 63-163286

(71)Applicant : TOSHIBA CORP  
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 30.06.1988

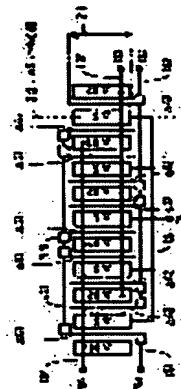
(72)Inventor : KOIDE NOBUO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

**PURPOSE:** To improve pair properties of a pair of two FETs by sequentially disposing in parallel electrodes divided in a differential source-coupling field-effect transistor circuit as a gate electrode and a drain electrode in this order laterally with the center line of the lateral direction of the source electrode as a symmetrical axis.

**CONSTITUTION:** The gate electrodes G1 and G2 of FETs Q1b and Q2b are divided into five of equal width of the same quantity, and the divided gate electrodes are represented by code  $\Delta G1$  and  $\Delta G2$ . Similarly, drain electrodes D1 and D2 are divided into three of equal width of the same quantity of drain electrodes  $\Delta D1$  and  $\Delta D2$ , and common source electrode S is divided into five of equal widths of source electrodes  $\Delta S$ . The divided electrodes are disposed at the center line 22 of the source electrode  $\Delta S$  as a symmetrical axis, and the gate electrodes and the drain electrodes are sequentially disposed in parallel laterally at both sides of the source electrode  $\Delta S$ . Since the divided electrodes approach to be alternately disposed, even if the material and the manufacturing conditions of the substrate are slightly irregular, they are averaged, thereby obtaining a differential source-coupling field-effect transistor circuit having a pair of FETs having good pair properties.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

**THIS PAGE BLANK (USPTO)**

-[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-12929

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月17日

H 01 L 21/338  
27/04  
27/088  
29/784  
29/812  
H 03 F 3/45

A

7514-5F

Z

6751-5J  
7733-5F  
7735-5F  
8422-5F

H 01 L 29/80  
27/08  
29/78

102 J  
301 X

審査請求 有 請求項の数 2 (全7頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 昭63-163286

⑰ 出 願 昭63(1988)6月30日

⑱ 発 明 者 小 出 修 男 東京都江戸川区北小岩7-7-16

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 出 願 人 東芝マイクロエレクトロニクス株式会社  
神奈川県川崎市川崎区駅前本町25番地1

⑳ 代 理 人 弁理士 諸 田 英二

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

1 ソース電極が共通の互いに整合する1対のMESFET又は1対のMOSFETを有し、且つ該1対のFETは、同数の等しい幅に分割されたゲート電極ΔG1及びΔG2と同数の等しい幅に分割されたドレイン電極ΔD1及びΔD2と等しい幅に分割された共通のソース電極ΔSとを有し、前記ゲート電極ΔG1及びΔG2並びにドレイン電極ΔD1及びΔD2がそれぞれ前記ソース電極ΔSの幅方向の中心線に対称に該ソース電極ΔSの両側にゲート電極、ドレイン電極の順に幅方向に並列配置されていることを特徴とする差動ソース結合電界効果トランジスタ回路を具備する半導体集積回路。

2 特許請求の範囲第1項記載の互いに整合する1対のFETは、

前記並列配置電極の一方の側に、分割されたゲ

ート電極ΔG1のそれぞれの一方の端部を互いに電気接続するゲート配線電極LG1と、

前記並列配置電極の他方の側に、分割されたゲート電極ΔG2及びソース電極ΔSのそれぞれの端部を互いに電気接続する、ゲート端子TG2及びソース端子TSのそれぞれを含むゲート配線電極LG2及びソース配線電極LSと、前記並列配置電極のうち最外側のゲート電極ΔG1の他方の端部から延在する、ゲート端子TG1を含むゲート配線電極LG1と、

前記並列配置電極上に層間絶縁層を介し、該絶縁層の開孔を通して、分割されたドレイン電極ΔD1及びΔD2のそれぞれの中間部を互いに電気接続する、ドレイン端子TD1及びTD2のそれぞれを含むドレイン配線電極LD1及びLD2とを有する差動ソース結合電界効果トランジスタ回路を具備する半導体集積回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

## 特開平2-12929(2)

本発明は、ソース電極が共通の互いに整合する1対のMESFET(ショットキーバリアゲート形電界効果トランジスタ)又は1対のMOSFET(絶縁ゲート形電界効果トランジスタ)から成る差動ソース結合電界効果トランジスタ回路を有する例えば差動増幅器、演算増幅器等の半導体集積回路に関するもので、特にゲート電極幅の大きい前記FETの各電極及び配線電極のパターン設計の改善に使用されるものである。

## (従来技術)

ソース電極が共通で互いに整合する2つのMESFETから成る差動ソース結合電界効果トランジスタ回路を主構成要素とする差動増幅器に含まれる該回路を例として、従来技術について以下説明する。

第6図は従来技術の該回路を電気記号で示した回路図であり、第7図はその電極パターンを示す模式的平面図である。第6図及び第7図において、2つのGaAs MESFET Q1及びQ2のソース電極Sは共通であり、ソース端子TSを含むソ

ース配線電極LSに接続する。1対のドレイン電極D1及びD2は、ドレイン端子TD1及びTD2のそれぞれを含むドレイン配線電極LD1及びLD2に接続する。又1対のゲート電極G1及びG2はゲート端子TG1及びTG2のそれぞれを含むゲート配線電極LG1及びLG2に接続される。なお符号11及び12はそれぞれFET Q1及びQ2のゲート金属と配線金属の接続部分である。又破線で囲まれる領域10は半絶縁性GaAs基板中に形成されている高温度のN<sup>+</sup>ソース及びN<sup>+</sup>ドレイン領域を含む活性層領域の概略的位置を示す。

差動増幅器では、1対のMESFET Q1、Q2を構成する対応部分の形状材質例えばチャネル活性層の不純物濃度分布とその領域等が等しく、2つのFETの電気的特性例えば伝達アドミタンスやドレイン電圧電流特性等が整合していること(以下この等しく整合していることをベア性と呼ぶ)が非常に重要である。差動増幅器では1対の入力端子TG1及びTG2にそれぞれV1及び

V2の入力電圧を与えると出力端子TD1及びTD2間に(V1-V2)に比例する増幅された電圧が得られる。対を成すFET Q1、Q2のベア性が良好であれば、電源電圧変動、温度変化等によるFETの特性変化の影響は直接出力端子に現われず、極めて広い範囲で安定動作ができる。

集積回路の場合、第7図に示すようにパターン設計がされると、ドレイン電極D1領域及びD2領域は極めて近傍に位置するため、FET Q1及びQ2のベア性という面では問題はない。しかしながら第6図及び第7図におけるFET Q1及びQ2のそれぞれのゲート電極G1及びG2の電極幅W<sub>g</sub>が例えば数百μm程度を越えて大きくなると問題が表われる。第8図はこの問題点を説明するための図で、横軸はゲート電極G1又はG2の電極幅W<sub>g</sub>、縦軸はそのゲート電極幅を持ったFETを用いた差動増幅器の伝播遅延時間T<sub>pd</sub>である。なお伝播遅延時間T<sub>pd</sub>は、入力端子TG1及びTG2間に方形パルス波形の差動入力信号を与えたとき、出力端子TD1及びTD2

間に現われる出力信号の所定測定電位(例えば信号振幅の50%の電位)における時間の遅れを表わし、上昇時と下降時の遅延時間の平均値である。一般にはゲート電極幅W<sub>g</sub>を増せば、ゲート流入電流も増加し、第8図の曲線aに示すようにT<sub>pd</sub>は減少する傾向を示す。しかし実際には同図の曲線bに示すように、ゲート電極幅W<sub>g</sub>を増しすぎると、逆に伝播遅延時間T<sub>pd</sub>は増加し、T<sub>pd</sub>を最小にする最適ゲート電極幅W<sub>go</sub>のあることがわかる。この理由は次のように推定される。即ちゲート入力端子に前記パルス波形の入力信号が与えられると、そのパルス電圧の立上がり及び立下りにおいては、ゲート電極、ゲート配線電極と例えばソース電極、ソース配線電極、基板等との間に分布する入力寄生容量は、充電及び放電される。この分布寄生容量の充放電の時定数RCが、ゲート電極幅W<sub>g</sub>の増加に伴い大きくなることが考えられる。又電極幅W<sub>g</sub>の増加に伴いゲート流入電流が増加すると共に分布等価抵抗Rでの電圧降下が増加し、論理電圧振幅(入力端子電位の

## 特開平2-12929(3)

上下動の幅)が増加すること等が考えられる。

第9図は、この問題点を解決するためのMESFETQ1a及びQ2aの従来パターンを示すものである。同図において第6図及び第7図と同一符号は、同一部分又は同様な動作を行なう対応部分を示す。第9図に示すMESFETQ1a及びQ2aのそれぞれの全ゲート電極幅W<sub>0</sub>は、第6図に示すMESFETQ1及びQ2のそれぞれの電極幅W<sub>0</sub>と等しいが、MESFETQ1a及びQ2aはゲート電極を同数の等しい幅の電極ΔG1及びΔG2に分割(この従来例では5分割)し、更に分割されたゲート電極の配線電極のパターンに工夫を施し、前記分布等価ゲート抵抗Rの低減を計ったものである。これにより第8図に示す伝播遅延時間を最小にするゲート電極幅W<sub>00</sub>を更に大きくすることができ、ゲート電極幅を大きくしても伝播遅延時間の増加を防止することができる。

しかしながらこの最新の従来例の差動増幅器では、対を構成するMESFETQ1aとQ2aと

のベア性の面では、劣化が生じるという課題がある。

(発明が解決しようとする課題)

前述のように差動ソース結合電界効果トランジスタ回路を有する例えば差動増幅器等で、該回路を構成するFETのゲート電極幅が大きくなると伝播遅延時間T<sub>0d</sub>が増加する。これを解決するため提案されたゲート電極幅を分割し、分布等価ゲート抵抗Rを減少させる方式では、対を成す2つのFETのベア性を劣化するという課題が残る。

本発明の目的は、従来技術の分布等価ゲート抵抗低減を行なった場合、寄生容量の増加特にゲートに付加される寄生容量を従来と同等もしくはそれ以下に抑えて、対を成す2つのFETのベア性を改善できる電極及び配線電極パターン設計を持つ差動ソース結合FET回路を含む半導体集積回路を提供することである。

[発明の構成]

(課題を解決するための手段とその作用)

特許請求の範囲記載の第1請求項に係る装置は、

ソース電極が共通の互いに整合する1対のMESFET又はMOSFETを有し、該1対のFETのゲート電極及びドレイン電極は、それぞれ等しい幅で同数(後述の実施例ではゲート電極は5つ、ドレイン電極は3つ)のゲート電極ΔG1とΔG2及びドレイン電極ΔD1とΔD2に分割され、又共通のソース電極は等しい幅に分割(実施例では5分割)された電極ΔSを有し、分割された各電極はソース電極ΔSの幅方向の中心線を対称軸として該ソース電極ΔSの両側にゲート電極、ドレイン電極の順に幅方向に並列配置されていることを特徴とする差動ソース結合電界効果トランジスタ回路を有する半導体集積回路である。

このようなΔD1、ΔG1、ΔS、ΔG2、ΔD2又はこれと逆の順序に配列された1組の短い電極幅を有する分割FETのベア性は公知の通り極めて良好である。本発明の1対のFETは、この分割FETの電極を複数組交互に並列配置したもので、基板の結晶特性或いは温度分布、不純物イオン注入ビーム分布等の各種製造条件に若干

の偏向や不均一が存在しても、全体としては平均化される。これにより対を成す2つのFETのベア性は、従来技術に比し著しく改善され、又分布等価ゲート抵抗も新しい従来技術と同等である。

第2請求項に係る発明は、前記第1請求項における分割並列配置された電極パターンを有し、分割された各電極をそれぞれ接続する配線電極パターンの望ましい態様を有する半導体集積回路に関するものである。即ち配線電極パターンは、伝播遅延時間の要因の1つとなる入出力寄生容量の増加をできるだけ小さくするように配置する必要がある。このため本発明における1対のFETの分割電極間を結ぶ配線電極パターンは、前記並列配置された電極パターンの幅方向の一方の側とその反対の他方の側並びに並列配置電極パターン上の3つの部位に区分して配設される。即ち一方の側にはゲート電極ΔG1群の端部を接続するゲート配線電極LG1を、他方の側にはゲート電極ΔG2群及びソース電極ΔS群の端部をそれぞれ互いに接続するゲート配線電極LG2及びソ-

## 特開平2-12929(4)

ス配線電極LSを、又前記並列配置電極パターン上には、ドレイン電極 $\Delta D1$ 群及び $\Delta D2$ 群のそれぞれの中間部を接続するドレイン配線電極LD1及びLD2を配設する。又各電極端子(T)は、それぞれの配線電極の一部分で、外部リードを接続するいわゆるボンディングパッドである場合、或いはモノリシックに形成されている他の受動もしくは能動素子との接続配線を兼ねる配線電極部分の場合等がある。本1対のFETのゲート端子TG1及びTG2は共通のソース端子TSを挟んで前記並列配置電極パターンの他方の側に、又ドレイン端子TD1及びTD2は前記並列配置電極パターンの幅方向を挟む両側にそれぞれ設けられる。

試行によれば、FETの配線電極による寄生容量は、配線電極間或いは配線電極と基板間に主として存在する。そのうち電位の異なる配線電極の交差部分の容量(クロスオーバー容量とも呼ぶ)が大きい。本請求項における配線電極パターンはこのクロスオーバー容量を必要最小限に止めるよ

う形成され、寄生容量を従来技術と同等もしくはそれ以下とすることが可能である。又配線電極のオーム低抗は、ゲート電極を構成するゲート金属の低抗に比し極めて低く無視できるので、前記分布ゲート等価低抗値は変化せず、伝播遅延時間の増加は無く、ベア性の改善が得られる。

## (実施例)

図面を参照して本発明の実施例について説明する。

第1図は本発明の第1実施例の差動増幅器の回路図である。なお以下の図面において第6図ないし第9図と同じ符号は同一部分又は対応部分を表わす。第1図において破線で囲まれた部分は、ソース電極が共通の互に整合する1対のGaAs MESFET Q1b及びQ2bから成り、且つ第1請求項に含まれる第2請求項記載の望ましい実施態様の差動ソース結合電界効果トランジスタ回路20である。

第2図は該回路20の電極等のパターン設計の模式図である。第1図又は第2図において、F

ET Q1b及びQ2bのゲート電極G1及びG2は、それぞれ同数の等しい幅に5分割され、分割されたゲート電極を符号 $\Delta G1$ 及び $\Delta G2$ で表わす。同様にドレイン電極D1及びD2は、それぞれ等しい幅を有するドレイン電極 $\Delta D1$ 及び $\Delta D2$ に3分割され、又共通のソース電極Sは、等しい幅を有するソース電極 $\Delta S$ に5分割される。なお分割されたゲート電極幅はゲートとして機能する部分の長さ $\Delta w_g$ で、符号21で概略の幅を示す。分割されたドレイン、ゲート及びソースの相互の電極幅は必ずしも常に等しいとは限らない。

分割された各電極はソース電極 $\Delta S$ の中心線22を対称軸として、該ソース電極 $\Delta S$ の両側にゲート電極、ドレイン電極の順に幅方向に同図に示すように並列配置される。なお符号35はゲート金属と配線金属との接続部分である。

以上のように分割並列配置されたドレイン、ゲート及びソースのそれぞれの電極は配線電極により電気的に接続される。配線電極の交差は必要

最小限に抑えてクロスオーバー容量を少なくする。このためゲート電極 $\Delta G1$ は並列配置電極の一方の側(図面では上)で配線電極LG1によって、ゲート電極 $\Delta G2$ 及びソース電極 $\Delta S$ は他方の側(図面では下)で配線電極LG2及びLSによりそれぞれ接続される。寄生容量を抑えるためゲート電極の挟みこみは行なわない。ゲート電極G1の端子TG1をゲート電極G2の端子TG2と同側に設けるため、前記並列配置電極のうち最外側(図面では左)のゲート電極 $\Delta G1$ の下側の端部からゲート端子TG1を含む第2の配線電極LG1を設ける。分割されたドレイン電極 $\Delta D1$ 及び $\Delta D2$ は層間絶縁層を介してそれぞれの中間部で配線電極LD1及びLD2により接続され、ドレイン端子TD1及びTD2は並列配置電極パターンの幅方向を挟む両側にそれぞれ設けられる。

第2図に示す電極及び配線電極を有するFET Q1b及びQ2bは、分割された電極が近接して交互に配設されるため、基板の材質や製造条件に



## 特開平2-12929(5)

若干の不均一性があっても平均化され、ベア性の良好な1対のFETを有する差動ソース結合電界効果トランジスタ回路が得られる。なお分布等価ゲート抵抗の減少と寄生容量を抑えたため伝播遅延時間 $T_{pd}$ は短縮される。試行結果では、ゲート電極幅500 $\mu$ mの従来の該回路に対し、5分割した本実施例の回路では $T_{pd}$ が約10~20%減少した。

第3図は第2図に示すドレイン配線電極LD1を切断線とする部分断面図である。半絶縁性GaAs基板23の一方の主面側に高濃度のN<sup>+</sup>ドレイン領域24及びN<sup>+</sup>ソース領域25が形成され、両領域に挟まれN型活性領域26が設けられる。N<sup>+</sup>ドレイン領域24及びN<sup>+</sup>ソース領域25はこれとオーム接触をする金属膜27を介してドレイン分割電極28( $\Delta D1$ と同じ)、ドレイン分割電極29( $\Delta D2$ )及びソース分割電極30( $\Delta S$ と同じ)に接続される。又N型活性領域26の表面にはこれとショットキー接合を形成するゲート金属が被覆され、ゲート電極31

( $\Delta G1$ )及び32( $\Delta G2$ )が形成される。ドレイン電極28は層間絶縁膜34の開口を通る連結金属(via metal)によりドレイン配線電極33に接続される。

第4図は第1請求項に係る差動ソース結合電界効果トランジスタ回路の電極及び配線電極パターン第2実施例を示すものである。本実施例の分割された各電極の配置パターンは第1実施例と同様で、分布等価ゲート抵抗は、分割しない場合に比し大幅に減少し且つ1対のFETのベア性は良好に保持される。この第2実施例は第2図に示す第1実施例と配線電極パターンが相違する。即ちゲート配線電極LG1及びLG2は、並列配置電極の幅方向の両側(図面では上、下の両側)にそれぞれ設けられ、並列配置電極の最外側(図面では左右)のドレイン電極 $\Delta D1$ 及び $\Delta D2$ を除くその他の分割ドレイン電極をゲート電極と共に取囲むように配設され、ゲート電流の平均化を計っている。又ドレイン配線電極LD1及びLD2は並列配置電極の一方の側に、ソース配線

電極LSは他方の側に設けられる。

この第2実施例の配線電極パターンは配線電極のベア性の点では有利であるが、クロスオーバー容量が増加し、又配線電極形成のための所要面積も大きくなり、第1実施例に比し寄生容量が増加する。

通常、差動ソース結合電界効果トランジスタ回路20のドレイン、ゲート及びソースの各端子TD1、TD2、TG1、TG2及びTSの配設位置は、これに接続される受動又は能動素子の位置等により最適配置場所が決められる。第5図はこれを示す第1請求項の第3の実施例である。本実施例は第1実施例においてゲート端子TG1を並列配置電極の一方の側に設けたものである。

これまでの実施例は差動増幅器に含まれる差動ソース結合MESFET形電界効果トランジスタ回路について述べたが、本発明は、差動ソース結合MOS形電界効果トランジスタ回路についても適用でき、演算増幅器やSCPL(Source Coupled FET logic)等の半導体集積回路で、ゲート電極

幅の大きい整合された1対のFETから成る差動ソース結合電界効果トランジスタ回路を具備する集積回路に対しても適用可能である。

## 〔発明の効果〕

1対の整合するFETから成る差動ソース結合FET回路において、該FETの分布等価ゲート抵抗の低減を行なうためゲート電極等を分割並列配置した場合、本発明のこれまで述べた電極及び配線電極パターン設計により、分布等価ゲート抵抗の低減を維持し、寄生容量の増加特にゲートに付加される寄生容量を従来と同等もしくはそれ以下に抑えて、対を成す2つのFETのベア性を大幅に改善した差動ソース結合FET回路が得られた。これによりベア性を特に重視する例えば差動増幅器等の半導体集積回路を提供することができ、

## 4. 図面の簡単な説明

第1図は本発明の半導体集積回路の回路図、第2図は第1図の集積回路に含まれる差動ソース結合電界効果トランジスタ回路の第1実施例を示す

## 特開平2-12929 (6)

電極及び配線電極パターン、第3図は第2図に示す回路のドレイン配線電極LD1を切断線とする該回路の部分断面図、第4図及び第5図は本発明の第1請求項に係る差動ソース結合電界効果トランジスタ回路の第2及び第3実施例を示す電極及び配線電極パターン、第6図は従来の差動ソース結合電界効果トランジスタ回路の回路図、第7図は該回路の電極及び配線電極パターン、第8図はゲート電極幅と伝播遅延時間との関係を示す図、第9図は最新の従来の差動ソース結合電界効果トランジスタ回路の電極及び配線電極パターンである。

20…差動ソース結合電界効果トランジスタ回路、21…ゲート電極 $\Delta G2$ の幅、22…ソース電極 $\Delta S$ の中心線、34…層間絶縁層、Q1、Q2、Q1a、Q2a…従来の対をなすMESFET、Q1b、Q2b…本発明の対をなすMESFET、S…ソース電極、 $\Delta S$ …分割されたソース電極、D1、D2…対をなすドレイン電極、 $\Delta D1$ 、 $\Delta D2$ …分割されたドレイン電極、G1、G2…対をなすゲート電極、 $\Delta G1$ 、 $\Delta G2$ …分割されたゲート電極、LD1、LD2…ドレイン配線電極、LG1、LG2…ゲート配線電極、TS…ソース端子、TG1、TG2…ゲート端子、TS…ソース端子、TG2…ゲート端子、TS…ソース端子、TG2…ゲート端子。

特許出願人 株式会社 東 芝  
代理人 弁理士 緒田 英二

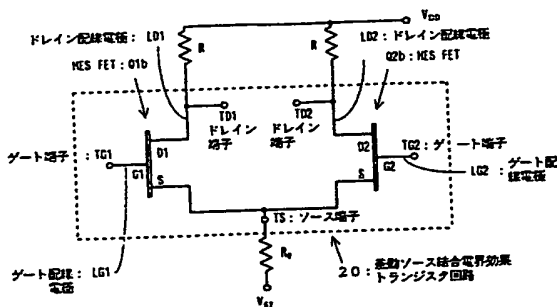


図1

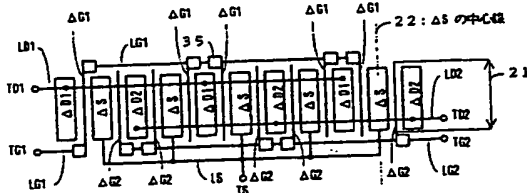


図2

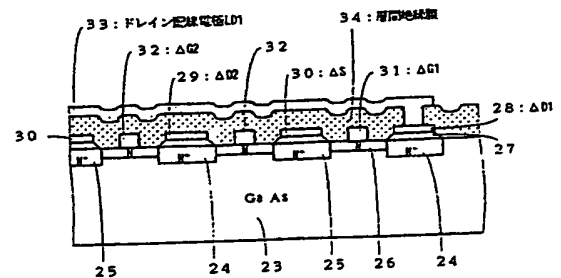


図3

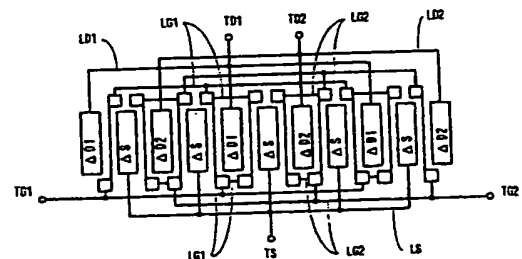


図4

特開平2-12929 (7)

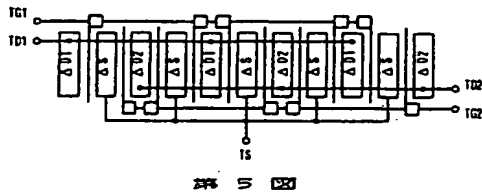


図 5

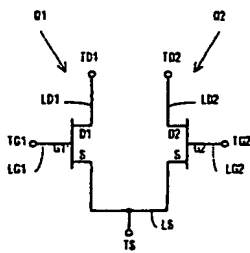


図 6

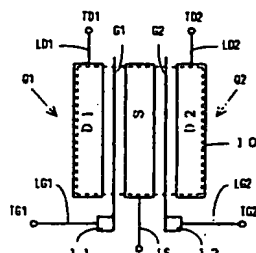


図 7

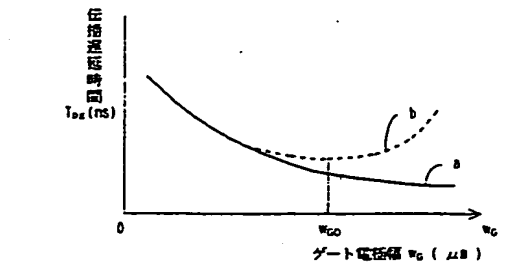


図 8

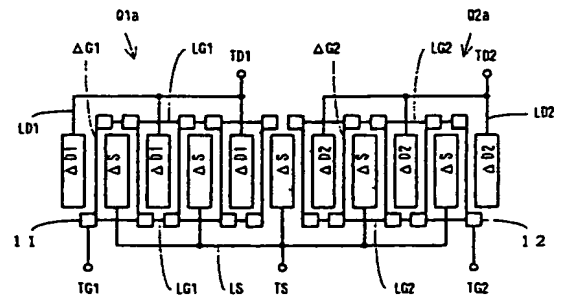


図 9

**THIS PAGE BLANK (USPTO)**